

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特 許 2000-295305

(P2000-295305A)

(43)公開日 平成12年10月20日(2000.10.20)

(51) Int.Cl.?

識別記号

FI

<sup>†</sup> (参考)

H04L 27/22

H0 4 L 27/22

 $\mathbb{Z}$ 

27/18

27/18

△

審査請求 未請求 請求項の数10 O.L (全 8 頁)

(21) 出願番号 特願2000-68757( P2000-68757)

(71) 出題人 599123588

(22) 出願日 平成12年3月13日(2000.3.13)

インターシル コーポレーション

アメリカ合衆国フロリダ州32905, バーム  
ベイ, エヌイー, バームベイロード2401

(31)優先權主張番號 09/266386

(72) 発明者 スコット パーズリー

(32) 領先日 平成11年3月11日(1999.3.11)

アメリカ合衆国フロリダ州32907, パーム  
 ベイ, ホームーブレースエヌイー-864

(33)優先權主張國 美國 (US)

(72) 発明者 ブルース テッショ

アメリカ合衆国フロリダ州32934, メルボルン, チャップラルドライブ2539

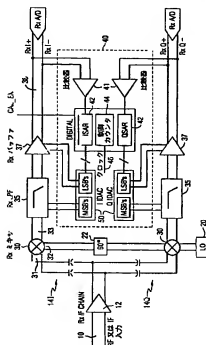
(74) 代理人 100096024

井理士 柏原 三枝子

(54) 【発明の名称】 データ無線受信器のフィルタバッファベースバンド路におけるDCオフセットの逐次近似修正

(57) 【要約】

〔解決手段〕 DCオフセット修正機構は、ダウンストリームデジタルデータ信号アライザに適用されるデータ無線などとの装置の信号処理路に生じるDCオフセットを補償する。オフラインのキャリブレーションサイクル間に、DCオフセットは逐次低減DCオフセット測定回路によって測定され、この測定回路は測定したオフセットを表すマルチビット出力デジタルコードを格納する。このコードは、DCオフセット修正回路に入力され、この修正回路は、負帰還ローパスフィルタ及びバッファ増幅器などの増設された信号処理構成要素に修正電流を供給する。この修正電流が、供給された構成要素に、測定したDCオフセットを効果的に取り消す2進数化された修正電圧の所定部分を導き入れる。



## 【特許請求の範囲】

【請求項1】 伝送データを回復させるダウンストリームデジタルデータ信号アナライザに適用され、伝送チャンネルから受信信号が接続される通信受信器のベースバンド変換処理路の少なくとも一つの構成要素によって生じるDCオフセットを補償するDCオフセット修正装置であって、当該DCオフセット修正装置が、前記ベースバンド変換処理路を前記伝送チャンネルから切り離し、前記受信信号のない状態の前記ベースバンド変換処理路に存在するDCオフセットをデジタル方式で測定するDCオフセット測定回路と、前記DCオフセット測定回路と前記ベースバンド変換処理路にある少なくとも一つの信号処理要素とに接続され、前記少なくとも一つの信号処理要素を介して、前記DCオフセットを効果的に取り消すDCオフセット修正電圧を前記ベースバンド変換処理路に導入するDCオフセット修正回路と、を具えることを特徴とするDCオフセット修正装置。

【請求項2】 請求項1に記載のDCオフセット修正装置において、前記DCオフセット測定回路が、前記受信信号のない状態の前記ベースバンド変換処理路に存在する前記DCオフセットのデジタル逐次近似を実行するように機能し、測定したオフセットを表すマルチビットデジタルコードを保存する逐次近似レジスタを具え、前記DCオフセット修正回路は、前記ベースバンド変換処理路の複数の信号処理要素を介して、前記DCオフセットを効果的に取り消す前記DCオフセット修正電圧の所定部分を導入することを特徴とするDCオフセット修正装置。

【請求項3】 請求項2に記載のDCオフセット修正装置において、前記DCオフセット測定回路が更に、前記マルチビットデジタルコードを前記ベースバンド変換処理路の前記少なくとも一つの信号処理要素に導入されるアナログの電気的値に変換するデジタルアナログコンバータを具え、前記ベースバンド変換処理路の前記複数の信号処理要素のパラメータが、前記アナログの電気的値が2進数的に定義されるようなものであることを特徴とするDCオフセット修正装置。

【請求項4】 請求項3に記載のDCオフセット修正装置において、前記DCオフセット測定回路が、前記DCオフセットを表すマルチビットデジタル出力コードを生成するように機能し、前記DCオフセット修正回路が、前記DCオフセット修正電圧の第1の量を、前記マルチビットデジタル出力コードの第1のコードセグメントに依って前記第1の信号処理要素を介して前記ベースバンド変換処理路へ与え、前記DCオフセット修正電圧の第2の量を、前記第2の信号処理要素を介して前記ベースバンド変換処理路へ与えることを特徴とするDCオフセット修正装置。

【請求項5】 請求項4に記載のDCオフセット修正装置において、前記第1及び第2の信号処理要素のパラメ

ータが、前記ベースバンド変換処理路に与えられた結果として生じるDCオフセット修正電圧が前記マルチビットデジタル出力コードのビット内容に応じて2進数で重み付けされるものであり、前記第1及び第2の信号処理要素がそれぞれ、カスケード接続された負帰還ローパスフィルタとカスケード接続されたバッファ増幅器とを具えることを特徴とするDCオフセット修正装置。

【請求項6】 ダウンストリームデジタルデータ信号アナライザに適用される通信装置の信号処理路に生じるDCオフセットを補償するDCオフセット修正装置において、前記信号処理路におけるDCオフセットを測定し、この測定したDCオフセットを表すマルチビット出力デジタルコードを保存するように機能する逐次近似DCオフセット測定回路と；前記逐次近似DCオフセット測定回路と前記信号処理路の複数の信号処理要素とに接続され、前記複数の信号処理要素を介して、前記DCオフセットを効果的に取り消す結果として生じたDCオフセット修正電圧の各要素を、前記信号処理路に導入するように機能するDCオフセット修正回路を具えることを特徴とするDCオフセット修正装置。

【請求項7】 請求項6に記載のDCオフセット修正装置において、前記オフセット測定回路がデジタルアナログコンバータを具え、当該コンバータは、前記マルチビットデジタルコードを、前記ベースバンド変換処理路の前記複数の信号処理要素に接続される各アナログの電気的値に変換するように機能し、前記複数の信号処理要素のパラメータが、前記アナログの電気的値が2進数で定義されるようなものであり、前記信号処理要素が、負帰還ローパスフィルタとバッファ増幅器とを具えることを特徴とするDCオフセット修正装置。

【請求項8】 無線受信器に使用される無線伝送チャンネルを介して受信信号が、伝送データを回復させるダウンストリームデジタルデータ信号アナライザに適用されるベースバンド変換処理路に導入するものであって、ベースバンド変換処理路の少なくとも一つの構成要素によって生じるDCオフセットを補償する方法において、当該方法が：

(a) 前記無線伝送路から前記ベースバンド変換処理路を切り離し、受信信号のない状態の前記ベースバンド変換処理路におけるDCオフセットをデジタル方式で測定するステップと；

(b) 前記ベースバンド変換処理路を前記無線伝送路に再接続して、前記ベースバンド変換処理路の少なくとも一つの信号処理要素を介して、ステップ(a)において測定された前記DCオフセットを効果的に取り消すDCオフセット修正電圧をデジタル方式で導入するステップと、を具え、ステップ(a)が受信信号のない状態の前記ベースバンド変換処理路における前記DCオフセットのデジタル逐次近似を実行するステップを具えることを特徴とする方法。

【請求項9】 請求項8に記載の方法において、ステップ(b)が、前記ベースバンド変換処理路の複数の信号処理要素を介して、ステップ(a)で測定した前記DCオフセットを効果的に取り消す前記DCオフセット修正電圧の所定部分を導入するステップを具え、ステップ(a)が、前記測定したDCオフセットを表すマルチビットデジタルコードを発生させ、当該マルチビットデジタルコードを、前記ベースバンド変換処理路の複数の信号処理要素に接続されるアナログの電気的な値に変換するステップを具え、前記ベースバンド変換処理路の前記複数の信号処理要素のパラメータが、前記アナログの電気的な値が2進数で定義されるようなものであることを特徴とする方法。

【請求項10】 請求項8に記載の方法において、ステップ(b)が、前記複数の信号処理要素の第1の要素を介して前記ベースバンド変換処理路に前記DCオフセット修正電圧の第1の所定量を分配し、前記複数の信号処理要素の第2の要素を介して前記ベースバンド変換処理路に前記DCオフセット修正電圧の第2の所定量を分配するステップを具え、ステップ(a)が、前記受信信号のない状態の前記ベースバンド変換処理路における前記DCオフセットのデジタル逐次近似を実行し、前記DCオフセットを表すマルチビットデジタル出力コードを保存するステップを具え、更にステップ(b)が、前記DCオフセット修正電圧の第1の量を、前記マルチビットデジタルコードの第1のコードセグメントに応じて前記第1の信号処理要素を介して前記ベースバンド変換処理路に分配し、前記DCオフセット修正電圧の第2の量を、前記第2の信号処理要素を介して前記ベースバンド変換処理路に分配するステップを具え、ことを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、通信システムに関し、特に、商用のダイレクト広帯域データ無線に採用されているような無線受信器の、ベースバンドダウンコンバージョン信号路に生じるDCオフセットを修正するための機構に関する。

【0002】

【従来の技術】 ダイレクト広帯域データ無線システムなどによってビジネスカスタマ及びコンシューマカスタマに無線データ通信サービスを提供する無線通信サービスのプロバイダは、競争的であるためには、低コストの無線回路設計（複雑でないもの）を使用することが必要である。このようなコストを賄う無線装置の性能は、ラジオチャンネルに入ってくる（従って無線の性能とレンジを制限する）ランダムノイズや、無線に固有のフィルタリングおよび変調アーティファクトから生じる信号歪によって妨害される。

【0003】

【発明が解決しようとする課題】 特に、ベースバンド変換路に比較的低コストの構成部品（リキミキサなど）を使用すると、DCオフセットが生じることがある。、ベースバンド信号チェーンにおける構成要素のゲインが大きいため、このDCオフセットは信号路が接続されているダウンストリームデジタル化回路への入力において非常に重要である。このDCオフセットによって無線のダイナミックレンジが制限され、デジタル化回路によって生成されたデータにエラーが生じる。このDCオフセットを除去するか又はキャンセルするためには、受信器のアナログ-デジタルコンバータへのベースバンド信号入力をACカップリング接続するか、あるいは容量性接続とするのが通常である。容量性接続をする場合の問題は充電時間が必要であることであり、この充電時間が無線機能を損ねる。

【0004】

【課題を解決するための手段】 本発明は、伝送データを回復させるダウンストリームデジタルデータ信号アナライザに適用され、伝送チャンネルからの受信信号が接続される通信受信器のベースバンド変換処理路の少なくとも一つの構成要素によって生じるDCオフセットを補償するDCオフセット修正装置において、当該DCオフセット修正装置が、前記ベースバンド変換処理路を前記伝送チャンネルから切り離し、前記受信信号のない状態の前記ベースバンド変換処理路におけるDCオフセットをデジタル方式で測定するように動作するDCオフセット測定回路と、前記DCオフセット測定回路と前記ベースバンド変換処理路にある少なくとも一つの信号処理要素とに接続され、前記DCオフセットを効果的に取り消すDCオフセット修正電圧を前記少なくとも一つの信号処理要素を介して前記ベースバンド変換処理路に導入するDCオフセット修正回路と、を具えることを特徴とする。

【0005】 本発明はまた、無線受信器に使用され、受信信号が無線伝送チャンネルを介して伝送データを回復させるダウンストリームデジタルデータ信号アナライザに適用されるベースバンド変換処理路に入力され、ベースバンド変換処理路の少なくとも一つの構成要素によって生じるDCオフセットを補償する方法において、当該方法が：

(a) 前記無線伝送チャンネルから前記ベースバンド変換処理路を切り離し、受信信号のない状態の前記ベースバンド変換処理路におけるDCオフセットをデジタル方式で測定するステップと；

(b) 前記ベースバンド変換処理路を前記無線伝送チャンネルに再接続させ、前記ベースバンド変換処理路の少なくとも一つの信号処理要素を介して、ステップ

(a)において測定した前記DCオフセットを効果的に取り消すDCオフセット修正電圧をデジタル方式で導入するステップと、を具え、更にステップ(a)が受信信

号のない状態の前記ベースバンド変換処理路における前記DCオフセットのデジタル逐次近似を実行するステップを具えることを特徴とする。

【0006】このDCオフセットの問題は、容量性結合した信号路を使用せずに、上述したオフセット測定インターバルの間ベースバンド信号路をオフラインにし、ベースバンド路に生じるDCオフセットを測定することによって修正することが好ましい。一例として、半二重通信方式において、無線のベースバンド受信路で生じるDCオフセットを、無線動作が伝送モードにある間に実行されるキャリアプレーションサイクルの間に測定することが好ましい。

【0007】本発明の好適な実施例において、必要とされるDCオフセット修正の量は、 $RF/IF$ ベースバンドミキサとダウンストリームアナログデジタル変換回路の間に配設されたローパスフィルタとこれに関連するバッファ増幅器回路のような各ベースバンド信号路要素に分配される選択されたオフセット量を決める逐次近似を用いて測定される。ローパスフィルタ及びバッファ増幅器の回路構成のパラメータは、逐次近似レジスタで発生するDCオフセット修正コードを構成するビットが、2進数化されたDCオフセット修正電圧をベースバンド信号路に与えるように定義される。

【0008】

【発明の実施の形態】以下に本発明の実施の形態を添付の図面を参照して説明する。まず、データ無線受信器のダウンコンバタ信号路用の新規で改善された逐次近似ベースDCオフセット修正機構について説明する。回路要素のコンフィギュレーション、及び他の通信システムとインターフェースを介して接続する方法を、ブロック図に示す。このブロック図は、本発明に直接関係する部分についてのみに示している。従って、ブロック図は、無線受信器のベースバンド変換路の主要要素を、適切な機能論的なグループに於て図示するようにした。

【0009】図1は、一般的なデータ無線の受信器部分のベースバンドダウン変換路を示している。この変換路は、本発明の逐次近似ベースDCオフセット修正機構を組み込むように構成されている。入力 $RF$ 又は $IF$ 信号路10は、カスケード接続された増幅器回路12を介して接続されており、この出力は同相(I)分岐14I及びクアドラチャータ(Q)分岐14Qにそれぞれ接続されている。Iベースバンド分岐を介した信号処理とQベースバンド分岐を介した信号処理は同じであるので(クアドラチャータダウン変換器用の90°位相シフタ22で発生する局部発振器へのインシャークアドラチャ位相オフセットを除く)、以下の説明は、説明を簡単にするために同相路14Iのみにについて行う。

【0010】同相路14Iの前端において、受信信号はミキサ30の第1の入力ポート31に入力される。このミキサ30の第2の入力ポート32には局部発振器20

の出力が入力されている。ミキサ30の出力33で生成されるダウン変換(ベースバンド)信号は、ローパスフィルタ35でろ波され、その出力は、バッファ増幅器37を介して信号路38を経由して、ダウンストリームアナログデジタルコンバータの入力 $RX\_A/D$ へと接続されている。

【0011】ミキサ30によって生じるようなDCオフセットは、従来は、コンデンサを介したベースバンド信号路38とダウンストリームアナログデジタル変換器とをACカップリングすることによって除去していた。しかしながら、この方法は、ユーザが伝送モードから受信モードに切り替えるを行うため、無線受信路が使用できる場合に、コンデンサを充電するために必要な時間分だけ遅れが生じることを意味しており、この遅れが機能を低下させる。

【0012】本発明は、ベースバンド信号路38を補助DCオフセット測定回路40に接続することにより、上記問題を解決するようにした。後述するように、オフラインのインターバルにある間(例えば無線でデータトラフィック受信がなされない伝送モードにあるとき)に、DCオフセット測定回路40は、無線制御プロセッサ(図示せず)から送出される $CAL\_EN$ 信号により制御可能となり、ベースバンド路におけるDCオフセットを測定する。

【0013】この目的のため、 $RX\_A/D$ 路38の各リード線( $RX$ 及び $RX\_N$ )は、比較器41にそれぞれ接続され、この比較器の出力は、逐次近似レジスタ(SAR)42に接続されている。クロック入力46によって駆動される制御カウンタ44の制御の下、SAR42のデジタルコードの内容が、最大有意ビット(MSB)で開始され、オフセットが測定されるコードレゾリューション(2進ビット数、例えば8ビット)の最小有意ビット(LSB)で終了するビット毎にインクリメントに調整され、ベースバンド信号処理路に発生するDCオフセット修正量を表すデジタルコード値を認識する。

【0014】本発明のより好適な実施形態においては、SAR42によって導出されるDCオフセット修正総量が、各DCオフセット修正値に細分又は配分され、ローパスフィルタ35及びバッファ増幅器37によってベースバンド信号路38に個別に導入される。特に、SAR42によって生じた(8ビット)デジタル出力コードのMSBsの選択された数値(例えば本例では“4”)は、電流デジタルアナログコンバータ(IDAC)50によって第1のアナログ電流値へ変換され、ローパスフィルタ35によって提供されるDCオフセット修正電圧を設定するのに使用される差動調整電流入力 $I_{adj}$ として入力される。また、SAR出力のLSBsの選択された数値(例えば“4”)は、デジタルアナログコンバータ50によって第2のアナログ電流値に変換さ

れ、バッファ増幅器37によって提供されるDCオフセット修正電圧設定用の差動調整電流入力  $I_{adj}$  として入力される。

【0015】更に好適な実施形態では、図2及び図3にそれぞれ示すように、ローパスフィルタ35及びバッファ増幅器37の回路構成のパラメータは、SAR42によって生じたDCオフセット修正コードを構成するビットが、2進数表示されたDCオフセット修正電圧をベースバンド信号路38へと分配するようにして、定義することができる。この目的のために、例えば、ローパスフィルタ35の入力抵抗  $R_1$  (例えば、 $2\text{ k}\Omega$ ) との比がローパスフィルタ35のDCゲイン  $G_{PC35}$  を決定す

$$V_{outd35}/V_{ind35} = \frac{1/(2C_2C_3R_1^2)}{s^2 + s(1/C_2R_1 + 1/C_2R_4) + 1/(2C_2C_3R_1R_4)}$$

【0017】無限増幅器のゲイン  $A_{35}$  及び  $V_{in+} - V_{in-} = V_{ind} = 0$  において、 $I_{adj}$  の関数として

$$V_{outd35}/I_{adj35} = \frac{1/(2C_2C_3R_1^2)}{s^2 + s(1/C_2R_1 + 1/C_2R_4) + 1/(2C_2C_3R_1R_4)}$$

【0018】同様に、バッファ増幅器37の負帰還抵抗  $R_9$  の抵抗値を最適に選択することによって (例えば  $2\text{ k}\Omega$ )、バッファ増幅器37の差動DCオフセット制御ターミナル  $I_{adj+}$  及び  $I_{adj-}$  へ供給される制御電流値は、 $(R_9 \times I_{adj})$  ボルトに等しい2進数化された出力電圧に変換される。表1に示すように、SAR42によって生成されるDCオフセット修正コードの4から4つまでのLSBsに関連する2進入力電流は、従って4つのDCオフセット修正電圧に変換される。これらの値はIDAC50によって生成される4つの (LSBに関連する) 入力電流及び負帰還抵抗  $R_9$  ( $2\text{ k}\Omega$ ) の値とそれぞれ等しく、4つの2進数表示されたDCオフセット修正電圧 ( $2\text{ mV} \sim 16\text{ mV}$ ) となる。

【0019】バッファ増幅器37のゲイン  $G_{PC37}$  を最適な値に設定することにより、(MSBに関連する) ローパスフィルタ35で生成され、バッファ増幅器37の差動入力ターミナル ( $V_{in+}$  及び  $V_{in-}$ ) に導入される出力電圧は、前記4つのLSBsに関連する4つの2進数化されたDCオフセット修正電圧 ( $2\text{ mV} \sim 16\text{ mV}$ ) の2進数拡張 (binary extension) を提供する値に変換される。

【0020】無限増幅器ゲイン  $A_{37}$  及び  $I_{adj+} - I_{adj-} = I_{adjd} = 0$  において、 $V_{outd37}$  と  $V_{ind37}$  の比は以下の式で定義される：

$$V_{outd37}/V_{ind37} = 1 + 2(R_9/R_{10})$$

【0021】従って、 $V_{in+} - V_{in-} = V_{inind} = 0$  のとき、 $I_{adjd}$  の関数としての  $V_{outd35}$  は以下の式で定義される：

$$V_{outd37} = R_9 \times I_{adjd}$$

る。負帰還抵抗  $R_4$  の抵抗値を適当に選択することによって (例えば、 $8\text{ k}\Omega$ ) (例えば、 $G_{PC35} = (V_{out35}) / (V_{ind35}) = R_4 / R_1 = 8\text{ k} / 3.2\text{ k} = 2.5$  ボルト/ボルト ( $\text{V/V}$ ))、図5に示すように、IDAC50によって生成される上から4つまでのMSB電流が、ファクタ8Kによって、表1に示す出力電圧にスケーリングされる。

【0016】図2に示す回路構成において、ローパスフィルタの伝達関数 ( $V_{outd35}) / (V_{ind35})$  は以下の式で定義される：

$$\text{【式1】}$$

$$V_{outd35} \text{ は以下の式で定義される。}$$

$$\text{【式2】}$$

$$1/(2C_2C_3R_1^2)$$

【0022】本例においては、SAR DCオフセット修正コードの最も大きいLSB (ビット4) 用にバッファ増幅器37で生成されるDC出力電圧  $V_{outd37}$  は、 $16\text{ mV}$  であるので、当該電圧の次の2進数拡張は  $32\text{ mV}$  である。SAR DCオフセット修正コードの最も小さいMSB (ビット5) 用にローパスフィルタ35で生成されるDC出力電圧  $V_{outd35}$  は  $8\text{ mV}$  であるので、バッファ増幅器37が同じビット値となるように  $32\text{ mV}$  のDC出力電圧を生成するには、バッファ増幅器37のゲイン  $G_{PC37}$  は  $4\text{ V/V}$  に設定される必要がある。

【0023】従って、表1に示すように、ローパスフィルタ35及びバッファ増幅器37の各負帰還抵抗  $R_4$  及び  $R_9$  の抵抗値と、バッファ増幅器37のゲイン  $G_{PC37}$  の組合せにより、別々に制御された回路要素 (ローパスフィルタ35及びバッファ増幅器37) が、SAR42によって生成される8ビットの修正コードを2進数化されたDCオフセット修正電圧のワイドレンジへと変換することが可能になる。

【0024】図4のフローチャートに示す制御プロセスで実行されるルーチンを参照して本発明のDCオフセット修正機構の動作を以下に説明する。上に簡単に述べたように、無線ベースバンド受信器路を介してのDCオフセット量の測定は、キャリアレシジョンサイクルと同調することによって行われる。例えば、このキャリアレシジョンサイクルを、無線動作が伝送モードにある間に行うようにする。

【0025】ステップ401に示すように、DCオフセット測定ルーチンの開始に際して、制御プロセスは、CAL\_ENリードの状態を、DCオフセット測定回路

40のエネーブル入力へ変更する(例えばローからハイへ)。この動作に先立って、CAL\_ENリードが所定のロジック状態(例えばロー又は0)に保持されている間に、DCオフセット電圧測定回路40の回路要素はリセット又は不能にされる。

【0026】特に、絶縁スイッチング回路(図示せず)が、DCオフセット電圧測定回路40からベースバンド路38を切り離し、比較器41及びIDAC50のスイッチがオフになる。また、予め測定されたオフセット修正データ値を保持しているSAR42のデジタルレジスタがリセット若しくはクリアされ、制御カウンタ44もまたクリア若しくはリセットされた状態にある。

【0027】ステップ401でハイにされたCAL\_ENリードにตอบสนองして、制御カウンタ44は線46に与えられるクロック信号のカウントを開始し、ステップ402に示すようにキャリブレーションロジック回路が、受信器の構成要素(すなわちミキサ30、ローパスフィルタ35、バッファ増幅器37、比較器42及びIDAC50)がオンにされていないければ、これらの要素の電源を入れる。十分な又は最大のカウンタ値(例えば5ビットカウンタであれば“1111”)に達したら、制御カウンタ44は、CAL\_ENリードがロー(0)になるまで応答してリセットされる(“0000”になる)までこのカウントを保持する。ステップ403に示すように、プロセッサもまた、(すでにオフにされていない)ミキサ30への入力ポート31に接続されたIF路をパワーダウンする。しかしながら、局部発振器入力ポート32は、局部発振器フィードスルーが修正すべきDCオフセット構成要素の一つを構成するので、アクティブな状態のままである。

【0028】ステップ404において上述したセトル時間が経過した後、比較器42は他の回路構成要素から分離され、そのオフセットはゼロになる。比較器42がリセットされると、ステップ405において、SAR42がエネーブルされ、MSBを最初に、逐次近似シーケンсが完成するまで出力コード結果の各ビットを介してステッピングを開始して、それによってIDAC50によって使用されるマルチビット出力コードを生成し、表1に示すようにDCオフセット修正調整電流I<sub>adj</sub>のオフセット値を発生する。

【0029】発生したオフセットコード値を保存して、ステップ406において比較器42がリワードンする。問い合わせステップ407において、無線が受信モードにあるかどうかについて決定がなされる。もし受信モードになければ(答えがNOであれば)、ステップ408において受信路全体がリワードンする。もし問い合わせステップの答えがYESであり、受信モードがアクティブであることを示している場合は、(ステップ403でパワーダウンしている)、ステップ409においてIF路がリワードンする。

【0030】プロセッサがCAL\_ENリードの状態を論理的ハイ(“1”)に保持している限り、SAR42内に保存されているオフセット修正コードは保持される。無線が通常受信モードにある間は、IDAC50の電源は入ったままであり、IDAC50は最適な差動オフセット調整電流I<sub>adj</sub>をベースバンド信号処理路38のローパスフィルタ35及びバッファ増幅器37に供給し、これによって測定されたDCオフセットを修正する。これによって、必要であれば、受信信号処理要素がIDAC50と共にシャットダウンする。電源がバックアップされている時は、以前に測定したDCオフセット修正コードが依然としてSAR42内に保持されている。このためローパスフィルタ35及びバッファ増幅器37用が発生したオフセット電圧が前の値に戻り、ベースバンドオフセットがゼロの状態に戻る(前に測定された値からオフセットがドリフトしないのであれば)。

【0031】DCオフセットの問題は、DCオフセット測定及び修正スキームで改善される。この機構は、所定のオフセット測定インターバル用に無線ベースバンド信号路をオフラインにするように機能し、逐次近似を使用してベースバンド路に発生するDCオフセットを測定するように機能する。オフセットを表す、結果として得られるマルチビットコードの選択されたセグメントは、選択された量のオフセット電流を、RF/IFベースバンドミキサとダウンストリームアナログ-デジタルコンバータの回路構成との間に設置されたローパスフィルタ及び接続されたバッファ増幅器回路などのベースバンド信号路要素へ供給するのに使用される。ローパスフィルタ及びバッファ増幅器のパラメータは、DCオフセット修正コードを構成するビットが、2進数化されたDCオフセット修正電圧をベースバンド信号路へと与えるように決定される。

【0032】DCオフセット修正機構は、ダウンストリームデジタルデータ信号アナライザに適用されるデータ無線などの装置の信号処理路に生じるDCオフセットを補償する。オフラインのキャリブレーションサイクル間に、DCオフセットは逐次近似DCオフセット測定回路によって測定され、この測定回路は測定したオフセットを表すマルチビット出力デジタルコードを保存する。このコードは、DCオフセット修正回路に入力され、この修正回路は、負帰還ローパスフィルタ及びバッファ増幅器などの選択された信号処理構成要素に修正電流を供給する。この修正電流が、供給された構成要素に、測定したDCオフセットを効果的に取り消す2進数化された修正電圧の所定部分を導入させる。

【図面の簡単な説明】

【図1】 図1は、データ無線の受信器部分におけるベースバンド変換回路を示すブロック図である。

【図2】 図2は、図1に示す回路のベースバンド信号処理路と分配された測定されたDCオフセット修正電

圧の部分を紹介したローパスフィルタの回路構成を示す図である。

【図3】 図3は、図1に示す回路のベースバンド信号処理路へと分配されたDCオフセット修正電圧の部分を紹介したバッファ増幅器の回路構成を示す図である。

【図4】 図4は、本発明のDCオフセット測定及び修正動作を制御する制御プロセッサで実行されるルーチンのステップを示すフローチャートである。

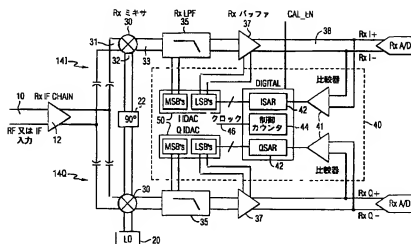
【図5】 図5は、図1に示すIDACによって生成されたビットにおいて、図2及び図3のローパスフィルタ及びバッファ増幅器によって2進符号化されたDCオフセット修正電圧にして表した表を示す。

【符号の説明】

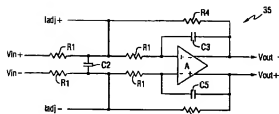
- 10 入力RF又はIF信号路  
12 増幅器回路  
14 1 同相分岐

- 14 Q クアドラチュア相  
20 局部発振器  
22 90°位相器  
30 ミキサ  
31 第1の入力ポート  
32 第2の入力ポート  
33 出力  
35 ローパスフィルタ  
37 バッファ増幅器  
38 ベースバンド信号路  
40 DCオフセット測定回路  
41 比較器  
42 逐次近似レジスタ  
44 制御カウンタ  
46 クロック入力  
50 電流デジタルアナログコンバータ

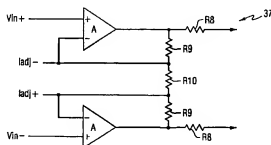
【図1】



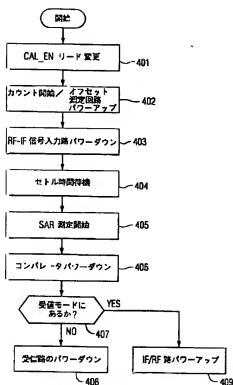
【図2】



【図3】



【図4】



【図5】

表 1: SAR オフセット 修正ビット読み付け

BIT	LPF (Gdc=7.5 V/V)			出力バッファ (Gdc+4 V/V)			ベースバンド 出力
	IDAC 差動出力	R4	Vout	IDAC 差動出力	R9	Vout	
0	-		-	1 $\mu$ A	2K	2mV	2mV
1	-		-	2 $\mu$ A		4mV	4mV
2	-		-	4 $\mu$ A		8mV	8mV
3	-		-	8 $\mu$ A		16mV	16mV
4	1 $\mu$ A	8K	8mV	-		-	32mV
5	2 $\mu$ A		16mV	-		-	64mV
6	4 $\mu$ A		32mV	-		-	128mV
7	8 $\mu$ A		64mV	-		-	256mV
8 SIGN	-		-	-	-	-	-